

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000101353 A**(43) Date of publication of application: **07.04.00**

(51) Int. Cl.

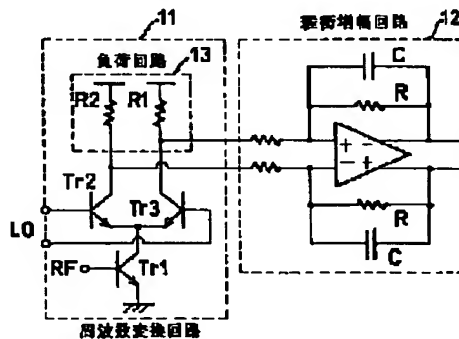
**H03D 7/00**  
**H03D 7/14**
(21) Application number: **11159580**(22) Date of filing: **07.06.99**(30) Priority: **30.06.98 JP 10199539**(71) Applicant: **TOSHIBA CORP**
(72) Inventor: **YAMAJI TAKAFUMI**  
**ITAKURA TETSURO**  
**TANIMOTO HIROSHI**
(54) **FREQUENCY CONVERTER**(57) **Abstract**

**PROBLEM TO BE SOLVED:** To obtain a frequency converter, capable of obtaining a desired receiving characteristic with little consumption current by providing a frequency conversion circuit performing a frequency conversion and a buffer amplifier circuit which has a low-pass characteristic of a cutoff frequency which is higher than a desired signal frequency band and lower than an adjacent channel carrier frequency.

**SOLUTION:** This frequency converter consists of a frequency conversion circuit 11 and a buffer amplifier circuit 12. A local oscillation signal is inputted to a terminal L0 of the circuit 11, and a high-frequency signal is inputted to a terminal RF. However, because the circuit 12 has to amplify a desired signal, the cutoff signal of this circuit has to be higher than a desired signal frequency band. However, it has to make the cutoff frequency of the circuit 12 smaller than the carrier frequency of an adjacent channel to eliminate the signal of the adjacent channel and to amplify it. In this way

since an unwanted signal does not have to be amplified any longer by performing band limitation, it is possible to reduce consumption current.

COPYRIGHT: (C)2000,JPO



Title of the Prior Art

Japanese Published Patent Application No. 2000-101353

Date of Publication: April 7, 2000

Concise Statement of Relevancy

This prior art discloses, in Figure 8, a frequency converter which comprises a frequency conversion circuit 81, and buffer amplification circuits 821 and 822 that are disposed at the output side of the frequency conversion circuit 81, wherein the buffer amplification circuit 821 includes valuable-capacitance elements 86 and 87, and this frequency converter can be used in radio communication in which the occupied frequency characteristic is changed according to need, such as reducing the capacitances of the variable-capacitance elements when the occupied band of the radio communication is to be increased.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101353

(P2000-101353A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 3 D 7/00  
7/14H 0 3 D 7/00  
7/14Z  
A

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平11-159580

(22) 出願日 平成11年6月7日 (1999.6.7)

(31) 優先権主張番号 特願平10-199539

(32) 優先日 平成10年6月30日 (1998.6.30)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山路 隆文

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 板倉 哲朗

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 谷本 洋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100081732

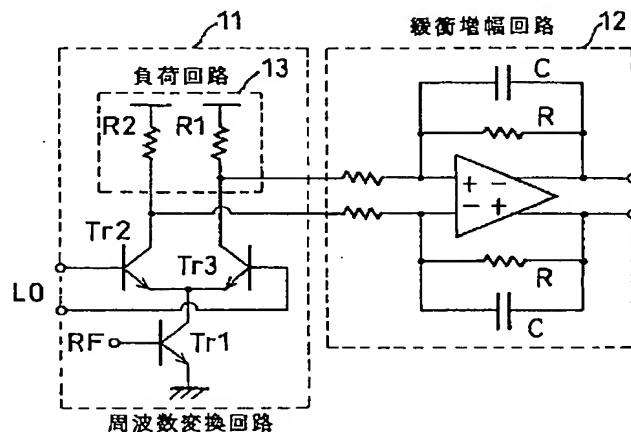
弁理士 大胡 典夫 (外1名)

(54) 【発明の名称】 周波数変換器

(57) 【要約】

【課題】 本発明は、少ない消費電流で所望の受信特性を得ることができる周波数変換器を提供することにある。

【解決手段】 情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路11と、所望信号周波数帯域より高く、隣接または次隣接チャネル搬送波周波数より低いカットオフ周波数の低域通過特性を有する緩衝増幅回路12とにより構成される。



## 【特許請求の範囲】

【請求項 1】 情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、所望信号周波数帯域より高く、隣接または次隣接チャネル搬送波周波数より低いカットオフ周波数の低域通過特性を有する緩衝増幅回路とを備えることを特徴とする周波数変換器。

【請求項 2】 前記周波数変換回路が電流出力型の周波数変換回路により構成され、前記緩衝増幅回路は前記カットオフ周波数の低域通過特性を有する低域通過型電流電圧変換回路により構成されることを特徴とする請求項 1 記載の周波数変換器。

【請求項 3】 情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備えることを特徴とする周波数変換器。

【請求項 4】 情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路を出力緩衝増幅回路として備えることを特徴とする周波数変換器。

【請求項 5】 情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備え、前記随伴回路を構成する容量素子として可変容量素子を用いることを特徴とする周波数変換器。

【請求項 6】 情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備え、前記電流電圧変換回路を構成する抵抗素子として可変抵抗素子を用いることを特徴とする周波数変換器。

【請求項 7】 情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備え、前記随伴回路及び前記電流電圧変換回路を構成する抵抗素子として可変抵抗素子を用いることを特徴とする周波数変換器。

【請求項 8】 前記周波数変換回路に複数段の緩衝増幅回路が接続される請求項 1 ないし 7 のいずれか 1 の周波数変換器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、有線通信または無線通信の受信機に用いられる周波数変換器に係わり、特にダイレクトコンバージョン方式 (Zero-IF 方式) や LOW-

IF 方式の受信機に好適な周波数変換器に関する。

## 【0002】

【従来の技術】 従来のダイレクトコンバージョン方式や LOW-IF 方式の受信機の周波数変換器としては図 16 に示す回路が知られている。この周波数変換器において、変調された高周波信号が周波数変換回路 1 の端子 RF から入力され、トランジスタ Tr1 のコレクタ端子から信号電流として出力される。一方、端子 LO には局部発振信号が入力され、トランジスタ Tr2 と Tr3 が交互に導通状態と切断状態にされる。このためトランジスタ Tr1 のコレクタから出力された信号は局部発振周波数により交互にトランジスタ Tr2 と Tr3 のコレクタに振り分けられ、高周波信号と局部発振信号との乗算が行われる。その結果、周波数変換された出力電流がトランジスタ Tr2 と Tr3 のコレクタから出力され、負荷回路 3 において電圧に変換される。この電圧が緩衝増幅回路 2 において増幅され、小さい出力インピーダンスの出力電圧として出力される。無線受信機においては周波数変換器の出力信号はチャネル選択フィルタに入力される。集積回路として作られるアクティブフィルタは多くの場合、入力信号が電圧信号源から入力されることを前提としているため周波数変換器の出力には緩衝増幅回路 (出力バッファ) が必要である。したがって、周波数変換器は周波数変換回路と緩衝増幅回路から成り、この緩衝増幅回路出力にチャネル選択フィルタが接続される。

## 【0003】

【発明が解決しようとする課題】 周波数変換器の出力バッファの問題については B. Razavi らの "Design Consideration for Direct Conversion Receivers" (IEEE Transaction on Circuit and Systems-II: Analog and Digital Signal Processing, Vol. 44, No. 6, June 1997) に記述されている。また、出力バッファの出力をチャネル選択フィルタに入力した場合に、フィルタを設計通りに機能させるには周波数変換器の緩衝増幅回路が満たすべき条件が幾つかある。それらの条件やトレードオフのうち、従来の回路では難しいものとして以下の 4 点が挙げられる。

【0004】 即ち、1) 周波数変換回路の出力端子における所望信号は小さい値である。一方で隣接または次隣接チャネルの信号は、例えば所望信号と比べて 60 dB (電圧で 1000 倍) 大きいこともある。出力バッファの雑音は所望信号より小さくする必要があり、且つ出力バッファにおいて相互変調歪みを所望信号周波数帯域に発生させないためには大きな隣接信号または次隣接信号の入力があっても所望信号を線形増幅する必要がある。

【0005】 2) チャネル選択フィルタのカットオフ周波数に影響を与えないように緩衝増幅回路のカットオフ周波数はチャネル選択フィルタのカットオフ周波数に比べて十分高いことが必要である。また、少なくとも出力バッファのカットオフ周波数の信号までは線形増幅す

ることが必要であり、緩衝増幅回路の消費電流を大きくする必要がある。

【0006】3) 周波数変換回路の利得は、負荷回路と出力バッファの入力インピーダンスとの並列インピーダンスに比例する。したがって、利得をできるだけ高くするために、出力バッファの入力インピーダンスは十分大きいことが必要である。

【0007】4) チャンネル選択フィルタの通過帯域の利得変動に影響を与えないように出力バッファの出力インピーダンスはチャンネル選択フィルタの入力インピーダンスに比べて十分小さいことが必要である。

【0008】従来の周波数変換器の出力バッファは、前述の通りチャンネル選択フィルタに影響を与えないために広帯域特性が要求されていた。このために隣接チャンネルまたは次隣接チャンネルの信号も所望信号と同様に増幅されてしまうので、所望信号よりもはるかに大きなレベルの信号も線形増幅することが要求されていた。

【0009】一方、ダイレクトコンバージョン方式やLOW-IF方式では、チャンネル選択フィルタを集積回路として実現できる。集積回路上のチャンネル選択フィルタには演算増幅回路等を利用したアクティブフィルタが用いられる。これらのアクティブフィルタの例は高橋哲等による「1.9GHz Si Direct Conversion Receiver IC for QPSK Modulation System」(電子情報通信学会英文誌 IEICE Transaction on electronics, Vol. E79-C, No. 5 may 1996) や P. J. Chang, A. Rofougaran, and A. A. Abidi による「A CMOS Channel-Select Filter for a Direct Conversion Wireless Receiver」(IEEE J. of Solid-State Circuits, vol. 32, No. 5, pp. 722-729, 1997) に述べられている。

【0010】これらのチャンネル選択フィルタには複数のブロックからなるフィルタを用いており、一つ一つのブロックの単独では隣接チャンネルの不要信号を取り除くことはできないが、全体で所望の特性を実現している。また、これらのブロックは所望信号を増幅する機能も併せもっている。即ち、所望信号の増幅と不要信号の除去を段階的に行っている。

【0011】例えば、所望信号より1000倍大きい隣接信号が入力された場合、隣接信号を除去することなく10倍に増幅すると隣接信号が電源電圧を超えてしまうような場合にも、フィルタの特性により所望信号は10倍に隣接信号は0.1倍にすることにより電源電圧を超えない信号とすることができる。

【0012】所望信号の増幅を不要信号を除去した後に行う方法も考えられるが、周波数選択特性に優れたアクティブフィルタは雑音特性がよくないので、信号対雑音比(SNR)が劣化する。このため緩やかな周波数特性のフィルタを用いて不要信号を少し除去して所望信号を少し増幅するというを繰り返す構成を採ることが多い。複数ブロックを通過した信号が所望の振幅且つ所望

の周波数特性となるように各ブロックの周波数特性と利得を雑音との兼ね合いから決定する。

【0013】こうして設計されたフィルタの特性に影響を与えないように、周波数変換器の出力バッファはチャンネル選択フィルタに比べて信号通過帯域が広いことが求められていた。そのため不要な隣接チャンネルの信号も増幅して出力していた。

【0014】本発明の目的は、少ない消費電流で所望の受信特性を得ることができる周波数変換器を提供することにある。

【0015】本発明の他の目的は、条件1)および2)を解消するためにチャンネル選択フィルタの機能の一部を出力バッファに持たせる周波数変換器を提供することにある。

【0016】本発明の他の目的は、条件3)および4)を緩和または解決するために出力バッファの入力インピーダンスを大きく、出力インピーダンスを小さくする周波数変換器を提供することにある。

【0017】

【課題を解決するための手段】本発明の基本的特徴によれば、情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、所望信号周波数帯域より高く、隣接または次隣接チャンネル搬送波周波数より低いカットオフ周波数の低域通過特性を有する緩衝増幅回路とを備える周波数変換器を提供する。

【0018】また本発明は前記構成において、前記周波数変換回路が電流出力型の周波数変換回路により構成され、前記緩衝増幅回路は前記カットオフ周波数の低域通過特性を有する低域通過型電流電圧変換回路により構成されることを特徴とする周波数変換器を提供する。

【0019】更に本発明は、情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー(Sallen-Key)回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備えることを特徴とする周波数変換器を提供する。

【0020】更に本発明は、情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー(Sallen-Key)回路の随伴回路を出力緩衝増幅回路として備えることを特徴とする周波数変換器を提供する。

【0021】本発明の周波数変換器は、チャンネル選択フィルタの入力部の周波数特性とバッファとして機能を備えた緩衝増幅回路を備えている。この出力バッファは所望信号を増幅する必要があるため、カットオフ周波数が所望信号周波数帯域よりも高いことが必要である。また隣接チャンネルを使用する通信システムやLOW-IF方式の場合は隣接チャンネルの信号を取り除いて増幅するためにカットオフ周波数を隣接チャンネルの搬送波周波数より小

さくする必要がある。PHS (Personal Handy-phone System) のように隣接チャネルを使用せず、一つおきのチャネルを使うシステムの場合はカットオフ周波数を実際に不要信号が存在する次隣接チャネルの搬送波周波数より小さくすることによって不要信号を除去する必要がある。狭い帯域の出力バッファとすることで不要信号を増幅することがなくなるので、出力バッファの線形増幅範囲を小さく選ぶことができる。線形増幅範囲を小さくすると、消費電流を少なくすることが可能になる。

【0022】周波数変換回路としてはギルバート (Gilbert) 乗算回路のようにもともと電流出力であるものも多数ある。これらの電流出力型周波数変換回路出力に接続される緩衝増幅回路として電流電圧変換回路を用いることができる。電流電圧変換回路の入力インピーダンスは小さく、周波数変換回路の出力端子の電圧変動は小さくなる。このため、出力電圧変動による歪みを回避できる利点もある。

【0023】従来のチャンネル選択フィルタが電圧入力を前提に設計されているため、従来の周波数変換器は電流電圧変換回路を緩衝増幅回路として用い、且つこの緩衝増幅回路はチャンネル選択フィルタの特性に影響を与えないように周波数特性が広帯域である必要があった。

【0024】本発明の周波数変換器の電流電圧変換回路は所望信号周波数帯域より高く隣接または次隣接チャネル搬送波周波数より低いカットオフ周波数の低域通過型の周波数特性を有している。このため、隣接チャネルの大きな信号を線形増幅する必要はなく消費電流を小さくすることが可能である。

【0025】更に本発明は、情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備え、前記随伴回路を構成する容量素子として可変容量素子を用いることを特徴とする周波数変換器を提供する。この発明では占有周波数帯域を必要に応じて変更することができる。

【0026】更に本発明は、情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備え、前記電流電圧変換回路を構成する抵抗素子として可変抵抗素子を用いることを特徴とする周波数変換器を提供する。この発明によれば変換利得を変えることができる。

【0027】更に本発明は、情報伝達のために変調された高周波入力信号と局部発振信号とを入力して周波数変換を行う周波数変換回路と、サレンキー (Sallen-Key) 回路の随伴回路および電流電圧変換回路を出力緩衝増幅回路として備え、前記随伴回路及び電流電圧

変換回路を構成する抵抗素子として可変抵抗素子を用いることを特徴とする周波数変換器を提供する。

【0028】また本発明は前記構成において、前記周波数変換回路に複数段の緩衝増幅回路が接続される周波数変換器を提供する。

【0029】

【発明の実施の形態】図1は、本発明の第1実施形態に係わる周波数変換器の回路構成を示している。この周波数変換器は、周波数変換回路11と緩衝増幅回路12により構成される。周波数変換回路11は抵抗 $R_1$ 、 $R_2$ を含む負荷回路13と、トランジスタ $Tr_1$ 、 $Tr_2$ 、 $Tr_3$ により構成される。周波数変換回路11の端子L0には局部発振信号が入力され、端子RFには高周波信号が入力される。低域通過特性とするために、緩衝増幅回路12のフィードバック回路は容量素子 $C$ と抵抗素子 $R$ の並列回路で構成される。緩衝増幅回路12は、所望信号を増幅する必要があるため、この回路のカットオフ周波数は所望信号周波数帯域 $f_B$ よりも高いことが必要である。一方、隣接チャネルを使用する通信システムやLOW-IF方式の場合は隣接チャネルの信号を取り除いて増幅するために、緩衝増幅回路12のカットオフ周波数を隣接チャネルの搬送波周波数 $f_C$ より小さくする必要がある。

【0030】PHSのように隣接チャネルを使用せず、一つおきのチャネルを使うシステムの場合は緩衝増幅回路12のカットオフ周波数を実際に不要信号が存在する次隣接チャネルの搬送波周波数より小さくすることによって不要信号を除去する必要がある。したがって、緩衝増幅回路12のフィードバック回路の時定数 $RC$ に関する条件は  $2\pi f_B < RC < 2\pi f_C$  に設定される。

【0031】このように帯域制限することで不要信号を増幅することがなくなるので、緩衝増幅回路12の線形増幅の範囲を小さく選ぶことができる。この線形増幅範囲を小さくすることにより、消費電流を少なくすることが可能になる。

【0032】次に、図1の周波数変換器の動作を説明する。端子L0および端子RFにそれぞれ局部発振信号および高周波信号が入力されると、トランジスタ $Tr_1$ のコレクタから出力される高周波信号が端子L0からの局部発振信号によりトランジスタ $Tr_2$ 、 $Tr_3$ のコレクタに交互に振り分けられ、緩衝増幅回路12に出力される。即ち、局部発振信号と高周波信号とが乗算された信号が緩衝増幅回路12に出力される。この緩衝増幅回路12のフィードバック回路の時定数 $RC$ は  $2\pi f_B < RC < 2\pi f_C$  に設定されているので、入力された複数チャンネルに相当する信号のうちの所望信号以外の不要信号、即ち所望チャネルに隣接または次隣接するチャネルの不要信号がCR回路を通過して増幅されることなく、所望信号だけが増幅され出力される。

【0033】図2は本発明の第2実施形態に係わる周波数変換器の回路構成を示している。この回路によると、

周波数変換回路 21 は電流出力型であり、このため負荷回路 23 は能動負荷等の電流源回路 11, 12 を用いる。緩衝増幅回路 22 は電流入力電圧出力回路であり、また低域通過特性を有している。そのカットオフ周波数は所望信号帯域  $f_B$  よりも高く隣接チャネルの搬送波周波数  $f_C$  より低く設定される。この周波数変換器は緩衝増幅回路 22 の入力端子における電圧変動が非常に小さいため、コレクタ寄生容量の非線形性による相互変調歪みも発生しないという利点がある。

【0034】図 3 は本発明の第 3 実施形態に係わる周波数変換器の回路構成を示している。この周波数変換器は、周波数変換回路 31 と 2 つの緩衝増幅回路 321 および緩衝増幅回路 322 により構成される。周波数変換回路 31 は第 1 および第 2 の実施形態と同様な構成を有している。緩衝増幅回路 321 および緩衝増幅回路 322 は周波数変換回路 31 のトランジスタ  $Tr_2$  および  $Tr_3$  のコレクタにそれぞれ接続される。即ち、周波数変換回路 31 の差動出力の両方に緩衝増幅回路 321 および緩衝増幅回路 322 が接続される。緩衝増幅回路 321 および 322 はそれぞれ二次の低域通過特性を有している。このような緩衝増幅回路は上述の第 1, 第 2 実施形態の一次の低域通過特性の回路よりも非常に大きな隣接チャネル信号をより効率よく除去することができる。

【0035】図 4 (a) は、従来の周波数変換器にチャンネル選択フィルタ 43 を接続した回路を示している。この周波数変換器は電流出力型の周波数変換回路 41 と電流電圧変換型の緩衝増幅回路 42 を備えている。チャンネル選択フィルタ 43 の入力部は図 3 の緩衝増幅回路 321 および 322 と同じ周波数特性を有している。このフィルタ入力部は電圧入力、すなわちインピーダンスが抵抗  $R_1$  に比べて充分小さい信号源を前提に設計されていて、インピーダンスが高い信号源を接続した場合は周波数特性が設計値からずれてしまう。このため、周波数変換器の緩衝増幅回路 42 の出力インピーダンスは  $R_1$  より充分小さいことが必要であり、消費電流が大きくなる。

【0036】ところで、テブナン (Thevenin) の定理とノートン (Norton) の定理を用いれば、図 4 (a) におけるチャンネル選択フィルタ 43 の入力部にある抵抗  $R_1$  と電圧信号源 (緩衝増幅回路 42 出力) の直列回路は、一定条件の下で  $R_1$  と電流信号源の並列回路に等価変換できる。即ち、図 4 (a) において緩衝増幅回路 42 の出力インピーダンスが  $R_1$  より充分小さいとき、テブナンの定理により、図 4 (b) に示すように  $R_1$  側から見て緩衝増幅回路 42 は電圧信号源 45 に置き換えられ、抵抗  $R_1$  と電圧信号源 45 の直列回路となる。更に、トランジスタ  $Tr_2$ ,  $Tr_3$  により構成される差動対の出力インピーダンスが抵抗  $R_1$  よりも十分大きいとすると、ノートンの定理を適用することにより図 4 (c) に示すように、上記直列回路は上記抵抗  $R_1$

と同じ値の抵抗  $R_1$  と電流信号源 46 の並列回路と等価になる。一方、図 4 (d) は図 3 の回路の一部を省略したものである。図 4 (d) をノートンの等価回路に変形すると図 4 (e) になり、図 4 (e) は図 4 (c) と同じ回路である。したがって、一定の条件の下では図 3 の回路と図 4 (a) の周波数特性は同じになる。図 3 において周波数変換器は抵抗  $R_1$  を負荷として電圧を出力しているように見えるが、実は図 4 (a) のチャンネル選択フィルタ 43 の入力部を電流信号源入力に変形した回路である。

【0037】この構成により低出力インピーダンスのアンプが省略できるので、低消費電流化が可能になる。

【0038】図 5 は本発明の第 4 の実施形態に係る周波数変換器の回路構成を示している。図 3 に示した周波数変換器においては、電流入力型の緩衝増幅回路を用いたので、低出力インピーダンスのアンプが不要になったが、上述したように、逆に電流源として機能するために周波数変換回路のトランジスタ  $Tr_2$ ,  $Tr_3$  で構成される差動対の出力インピーダンスが  $R_1$  より十分大きいことが必要になる。例えば  $R_1$  の値が  $1k\Omega$  で、トランジスタの出力インピーダンスの影響を 1% 程度に抑えたいとすると、 $100k\Omega$  以上のインピーダンスが必要である。しかしながら特に高速なトランジスタほど出力インピーダンスは低くなりがちで、且つダイレクトコンバージョン方式のように線形範囲の広い周波数変換回路には大きなバイアス電流を流すので、更に出力インピーダンスは小さくなる。このような条件に適した回路が図 5 に示す回路構成である。図 5 において 53 はサレンキー (Sallen-Key) 回路の随伴回路、54 は電流電圧変換回路であり、後述する。

【0039】この回路構成では、周波数変換器は周波数変換回路 51 および緩衝増幅回路 521 および 522 とにより構成される。緩衝増幅回路 521 および 522 の入力は演算増幅回路 53 の入力端子であり、且つこの端子にフィードバック回路も接続されているので、この部分のインピーダンスは非常に小さくなる。このため周波数変換回路 51 の出力インピーダンスの条件は大幅に緩和される。

【0040】図 6 は、図 4 (a) の従来回路を図 5 の実施形態の回路に変形することについて示している。即ち、図 6 (a) の回路は、図 4 (a) の従来の回路の緩衝増幅回路 42 とチャンネル選択フィルタ 43 の入力部を取り出して構成される。後者がサレンキー回路を構成する。図 6 (b) の回路は図 6 (a) の回路における演算増幅器  $OPA_1$ ,  $OPA_2$  の入力と出力を逆転し、電流入力を電圧出力に、電圧出力を電流入力に変換することで構成される。63 はサレンキー回路 43 の随伴回路であり、64 は電流電圧変換回路である。演算増幅器  $OPA_3$ ,  $OPA_4$  は演算増幅器  $OPA_2$ ,  $OPA_1$  に対応する演算増幅器である。



【0041】図6(a)に示した回路と図6(b)に示した回路の伝達関数は等しくなる。尚、随伴回路は素子値の誤差の影響を示す素子感度の計算等で用いられる。

【0042】図6(b)に示した回路が、図5の緩衝増幅回路521および緩衝増幅回路522として用いられる。この緩衝増幅回路521および緩衝増幅回路522は周波数変換回路51のインピーダンス条件の緩和のみならず、消費電流を少なくすることにおいても有利である。なぜなら、図4(a)に示した回路では出力バッファ(緩衝増幅回路42)は大きな隣接チャネル信号も線形増幅する必要があったが、図5に示した回路ではフィルタ機能を有するサレンキー回路の随伴回路53が周波数変換回路51に接続されているので、演算増幅回路の出力電圧範囲や周波数範囲が狭い回路を利用することができるからである。

【0043】ところで、図5に示した本発明の1実施形態では、緩衝増幅回路521はサレンキー回路の随伴回路53と電流電圧変換回路54から成っていた。しかし、ある条件下では電流電圧変換回路54は必ずしも必要としない。図4(d)の回路はノートンの定理により、図4(e)に示すように変形できて、周波数変換器側は抵抗R1と電流信号源47の並列回路に置き換えられる。点線48内の回路をサレンキー回路として、その随伴回路を求めると、入出力を逆にした回路が得られる。この随伴回路は、この先に接続されるフィルタとしてgm-C(トランスコンダクタンスキャパシタ)フィルタなど、フィルタの入力インピーダンスが抵抗R1より十分大きいフィルタを用いるときに採用できる。

【0044】図7に示した第5の実施形態に係る周波数変換器は、周波数変換回路71と緩衝増幅回路72及び緩衝増幅回路73とから成る。緩衝増幅回路72に、上述した図4(e)のサレンキー回路48の随伴回路が用いられる。緩衝増幅回路73は緩衝増幅回路72と同じ構成なので、回路の図示を省略した。以上説明したように、図7に示した、電流電圧変換回路のない周波数変換器は、これらの緩衝増幅回路72、73出力に接続されるチャネル選択フィルタの入力インピーダンスが抵抗R1よりも十分大きい場合に用いることができる。

【0045】図8に、図5に示した実施形態における緩衝増幅回路521等の容量素子を可変にした、本発明の第6の実施形態の周波数変換器の構成を示す。

【0046】近年、無線通信においてもデジタル信号の伝送が中心となりつつあり、音声のみならず画像、文書もデジタルデータとして無線により伝送される場合が増えている。音声のみの通話や小さいデータを伝送するときには占有周波数帯域を狭くし、画像、特に動画を伝送するときには占有周波数帯域を広く取る通信方式が検討されている。このように通信方式を変更可能な無線通信においては使用者が意識することなく必要な設定が実行されるようにコンピュータプログラムによる制御が行わ

れる。

【0047】図15にこのような場合の通信設定制御のフローチャートを示す。音声の伝送を行っていて、処理151において使用者が映像の伝送を希望すると、処理152において制御チャネルを介して映像信号を要求する信号を送信する。処理153において映像チャネルを使用できるか確認し使用できなければ、処理154にてその旨のメッセージを表示する。映像チャネルを使用できるとき、即ち送信側と受信側が共に映像通信が可能な状況であれば、処理155にて映像が伝送できるように周波数選択特性を含むハードウェア設定が行われる。その後、処理156にて通信を行い映像を伝送する。処理157において送るべき映像がある限り映像の伝送を続け映像通信が終了すると、処理158に移り音声伝送に設定を戻す。

【0048】図8に示した周波数変換器は上述のような通信方式に好適な回路である。図8に示す周波数変換器は、周波数変換回路81と緩衝増幅回路821と緩衝増幅回路822から成る。緩衝増幅回路821は、サレンキー回路の随伴回路83と、電流電圧変換回路84とから成る。随伴回路83を構成する、容量素子が可変容量素子86、87となっている。これらの可変容量素子は、例えば図9に示すように固定容量素子とスイッチが直列接続されたもの4つが並列接続されて成る。各容量素子C1、C2、C3、C4の容量値が8:4:2:1であるとする、各スイッチS1、S2、S3、S4を開閉することによって、2の4乗通りの容量値が得られその中から適切な値を選択できる。なお、緩衝増幅回路822は緩衝増幅回路821と同じ構成であるため、回路を示すことを省略した。

【0049】図15に示したフローチャートで、処理155において占有帯域を広げる場合には、図9の固定容量素子に接続されているスイッチ例えば、S1をオフにすることによって容量を小さくする。

【0050】図8に示した周波数変換器は、占有周波数帯域を必要に応じて変更する無線通信において、活用可能である。この周波数変換器は、周波数特性を変化させても通過周波数帯域における利得は変動しないという利点をも有している。

【0051】図10に本発明の第7の実施形態に係る周波数変換器の構成を示す。この実施形態では電流電圧変換回路104の抵抗を可変抵抗素子108としている。即ち、この周波数変換器は、周波数変換回路101と緩衝増幅回路1021と緩衝増幅回路1022から成る。緩衝増幅回路1021は、サレンキー回路の随伴回路103と、電流電圧変換回路104とから成る。なお、緩衝増幅回路1022は緩衝増幅回路1021と同じ構成であるため、回路を示すことを省略した。

【0052】可変抵抗素子108は、例えば図11に示すように固定抵抗素子とスイッチが直列接続されたもの



4つが並列接続されて成る。各抵抗素子 $R11$ ,  $R12$ ,  $R13$ ,  $R14$ の抵抗値の比を $8:4:2:1$ とすると、各スイッチ $S11$ ,  $S12$ ,  $S13$ ,  $S14$ を開閉することによって、4ビットの可変利得周波数変換器が得られる。図11の周波数変換器は可変抵抗素子108の値が変化しても、周波数特性に影響を与えない利点がある。

【0053】また、特にチャネル選択フィルタを集積回路として構成すると、各素子の誤差が大きく、所望の周波数特性を得るには、何らかの調整が必要な場合もある。このような場合、図12に示す周波数変換器が好適である。即ち、緩衝増幅回路1221におけるサレンキー回路の随伴回路123と電流電圧変換回路124の各抵抗素子125, 126, 127, 128を可変抵抗とする。そしてこれらの可変抵抗素子を例えば図13に示すように、設計の中心値より大きい値を有する抵抗 $R31$ とその抵抗値の誤差を補正するための抵抗 $R32$ ,  $R33$ ,  $R34$ とこれらに直列接続されたスイッチ $S32$ ,  $S33$ ,  $S34$ を並列接続した構成とする。この周波数変換器は、周波数変換回路121と緩衝増幅回路1221と緩衝増幅回路1222から成る。緩衝増幅回路1221は、サレンキー回路の随伴回路123と、電流電圧変換回路124とから成る。なお、緩衝増幅回路1222は緩衝増幅回路1221と同じ構成であるため、回路を示すことを省略した。

【0054】この可変周波数変換器によれば、スイッチ $S32$ ,  $S33$ ,  $S34$ を各々開閉することによって、各抵抗の値の製造誤差を補正することができ、より正確な周波数特性を実現できる。

【0055】ところで、上述の実施形態ではいずれも1つの緩衝増幅回路が周波数変換回路に接続されて周波数変換器が構成されているが、図14の第9の実施形態に示すように周波数変換回路141に複数段、3乃至10段、好ましくは3乃至5段の緩衝増幅回路142, 143...を接続するようにしてもよい。このような構成によると、不要信号は増幅されることなく所望信号のみが複数段の緩衝増幅回路により順次増幅され、所望信号に対して不要信号のレベルが $1/2$ ,  $1/4$ ,  $1/8$ ...となってSNRの高い所望信号が得られる。

【0056】

【発明の効果】以上説明したように、本発明に係わる周波数変換器によれば、不要な隣接チャネル信号を増幅しないので出力緩衝増幅回路の消費電流を小さくできる。

またフィルタ初段の回路を電流入力型に変形したり、随伴回路に変形したりすることで、フィルタとミキサを独立に設計した場合も容易に周波数変換器の出力緩衝増

幅回路にフィルタの特性を取り込むことができる。したがって、受信機としての周波数選択特性に影響を与えることなく消費電流が小さい周波数変換器が得られる。

【図面の簡単な説明】

【図1】この発明の第1実施形態に係る周波数変換器の回路図。

【図2】この発明の第2実施形態に係る周波数変換器の回路図。

【図3】この発明の第3実施形態に係る周波数変換器の回路図。

【図4】従来の構成による周波数変換回路とフィルタ入力部の回路変形を説明するための回路図。

【図5】この発明の第4実施形態に係る周波数変換器の回路図。

【図6】この発明の第4実施形態に係る回路変形を説明するための回路図。

【図7】この発明の第5実施形態に係る周波数変換器の回路図。

【図8】この発明の第6実施形態に係る周波数変換器の回路図。

【図9】図8の第6実施形態に用いる可変容量素子の構成図。

【図10】この発明の第7実施形態に係る周波数変換器の回路図。

【図11】図10の第7実施形態に用いる可変抵抗素子108の構成図。

【図12】この発明の第8実施形態に係る周波数変換器の回路図。

【図13】図12の第8実施形態に用いる可変抵抗素子の構成図。

【図14】この発明の第9実施形態に係る周波数変換器の回路図。

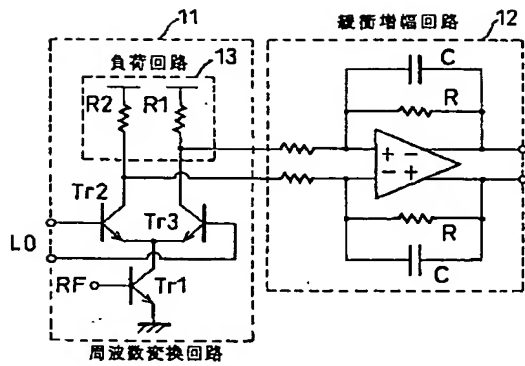
【図15】この発明の第6実施形態に関連して、映像信号を送信する場合のフローチャートを示す図。

【図16】従来の周波数変換器の回路図。

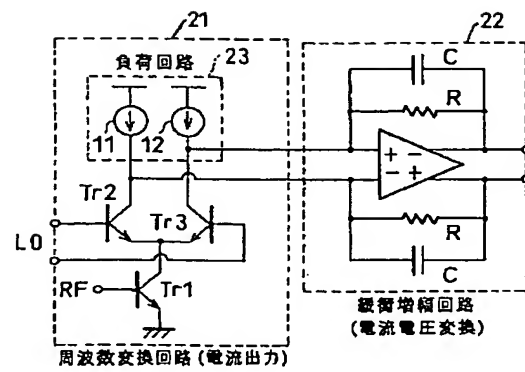
【符号の説明】

11, 21, 31, 41, 51, 71, 81, 101, 121, 141...周波数変換回路、12, 22, 142, 143, 321, 322, 521, 522, 72, 73, 821, 822, 1021, 1022, 1221, 1222...緩衝増幅回路、13, 23...負荷回路、53, 63, 83, 103, 123...サレンキー回路の随伴回路、54, 64, 84, 104, 124...電流電圧変換回路、86, 87...可変容量素子、108, 125, 126, 127, 128...可変抵抗素子。

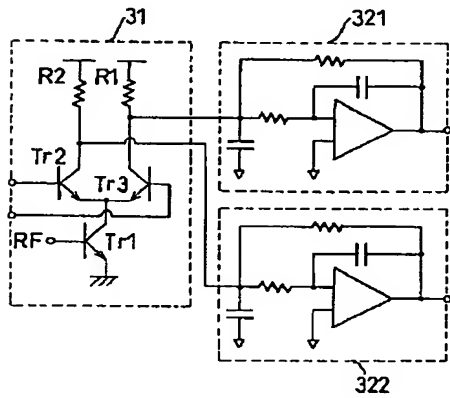
【圖 1】



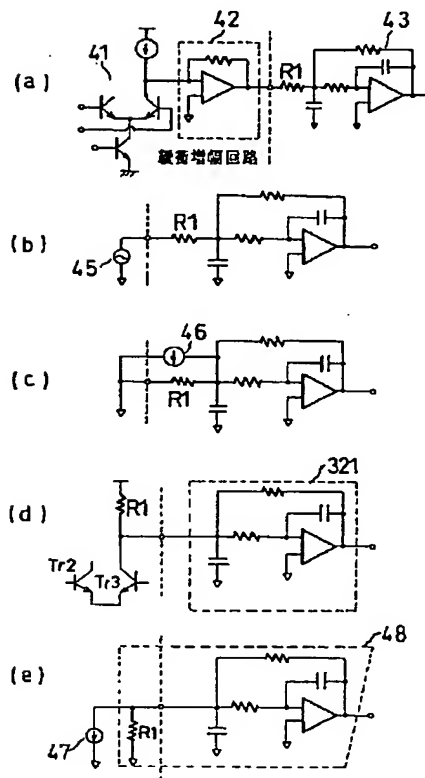
【圖 2】



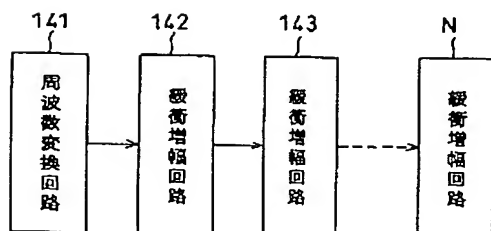
【圖 3】



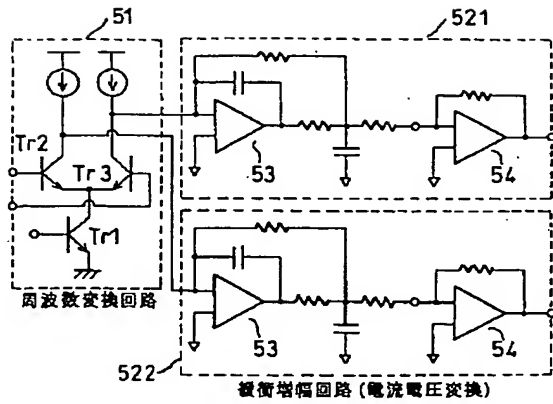
【圖 4】



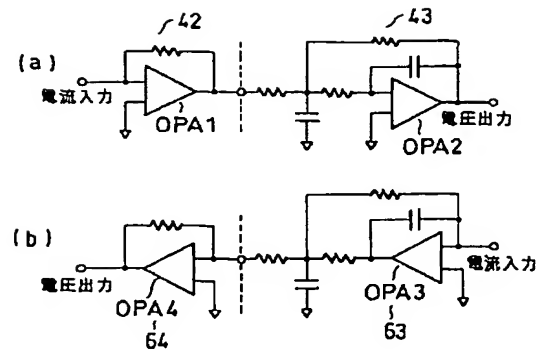
【圖 1 4】



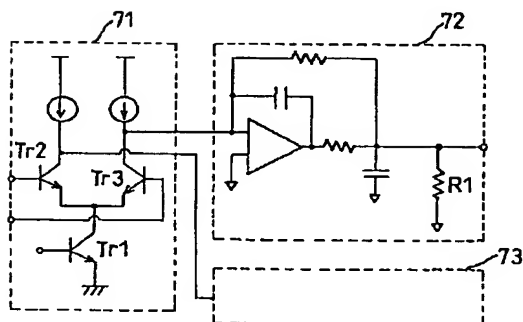
【図 5】



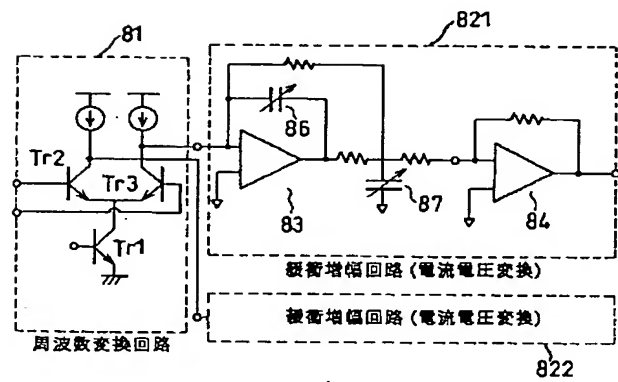
【図 6】



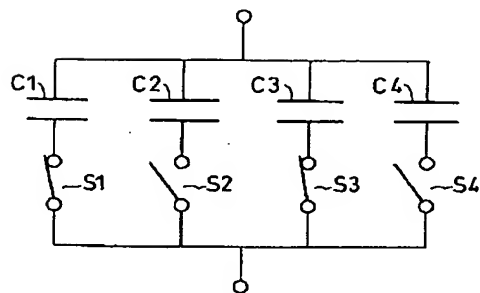
【図 7】



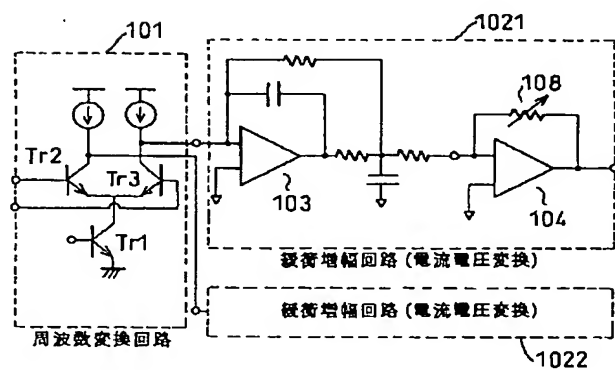
【図 8】



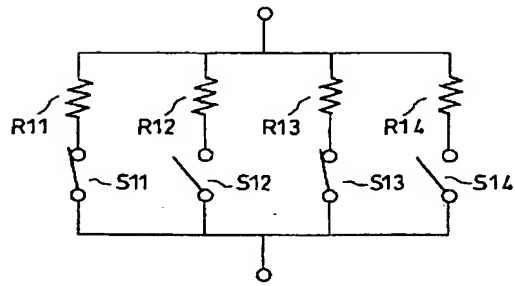
【図 9】



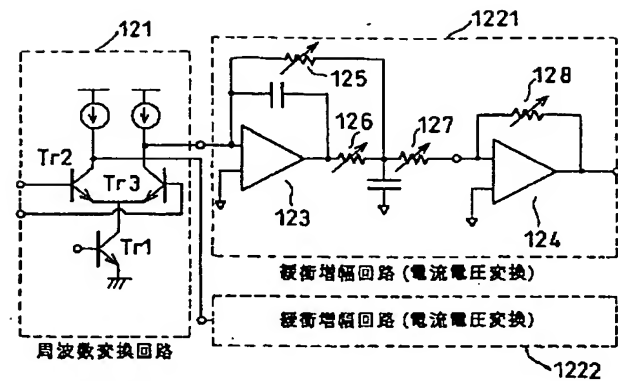
【図 10】



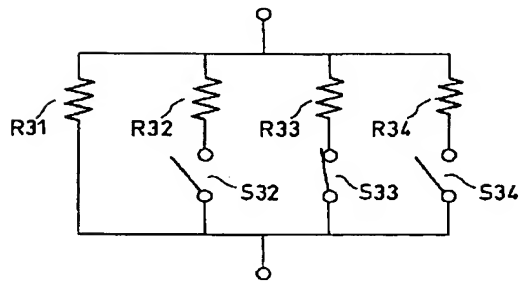
【図 11】



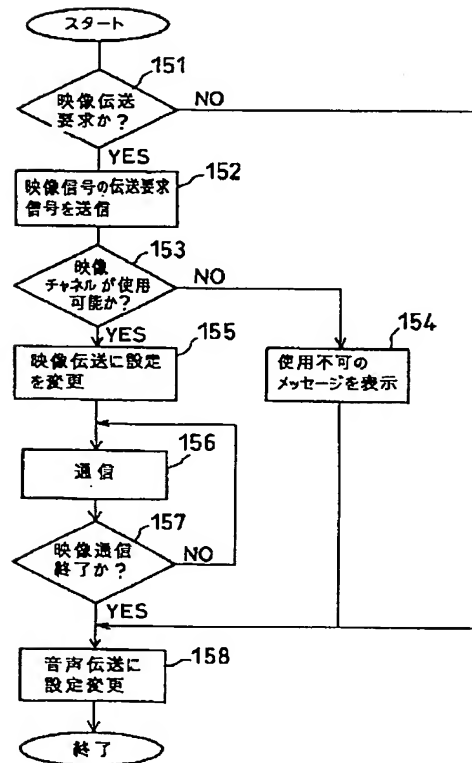
【図 12】



【図 13】



【図 15】



【図 16】

